



PATENT  
8019-1039

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of

Masanao YOKOYAMA

Application No. 10/820,755

Filed April 9, 2004

HARD-MACRO AND SEMICONDUCTOR INTEGRATED CIRCUIT INCLUDING THE  
SAME

CLAIM TO PRIORITY

Assistant Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

May 4, 2004

Sir:

Applicant(s) herewith claim(s) the benefit of the  
priority filing date of the following application(s) for the  
above-entitled U.S. application under the provisions of 35  
U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2004-062213	March 5, 2004

Certified copy(ies) of the above-noted application(s)  
is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



Benoît Castel, Reg. No. 35,041  
745 South 23<sup>rd</sup> Street  
Arlington, VA 22202  
Telephone (703) 521-2297  
Telefax (703) 685-0573  
(703) 979-4709

BC/psf

Attachment(s): 1 Certified Copy(ies)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 4 年    3 月    5 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 4 - 0 6 2 2 1 3  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 4 - 0 6 2 2 1 3 ]

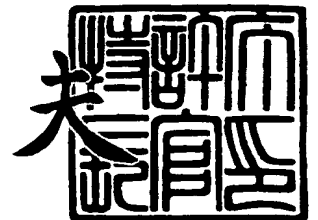
出      願      人                      N E C エレクトロニクス株式会社  
Applicant(s):

出  
願  
番  
号  
2  
0  
0  
4  
-  
0  
6  
2  
2  
1  
3

2 0 0 4 年    4 月 1 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 71920034  
【提出日】 平成16年 3月 5日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/82  
【発明者】  
    【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
                    N E C エレクトロニクス株式会社内  
    【氏名】 横山 勝巨  
【特許出願人】  
    【識別番号】 302062931  
    【氏名又は名称】 N E C エレクトロニクス株式会社  
【代理人】  
    【識別番号】 100096105  
    【弁理士】  
    【氏名又は名称】 天野 広  
    【電話番号】 03(5484)2241  
【先の出願に基づく優先権主張】  
    【出願番号】 特願2003-107682  
    【出願日】 平成15年 4月11日  
【手数料の表示】  
    【予納台帳番号】 038830  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0216506

**【書類名】 特許請求の範囲****【請求項 1】**

半導体チップ上に配されて半導体集積回路の一部を構成するハードマクロにおいて、当該ハードマクロには、該ハードマクロの内部を通過する通過配線が、該ハードマクロの前記半導体チップ上への配置前に予め施され、

前記通過配線の経路は、平面視において、当該ハードマクロの外形を構成する一辺からこの一辺に交差する他辺に至るように設定されていることを特徴とするハードマクロ。

**【請求項 2】**

前記他辺は前記一辺に対し直交する辺であることを特徴とする請求項 1 に記載のハードマクロ。

**【請求項 3】**

前記他辺は前記一辺に隣接する辺であることを特徴とする請求項 1 又は 2 に記載のハードマクロ。

**【請求項 4】**

前記通過配線は、当該ハードマクロ内を L 字状に通過することを特徴とする請求項 1 乃至 3 のいずれか一項に記載のハードマクロ。

**【請求項 5】**

前記通過配線は、当該ハードマクロ内を直線状に通過することを特徴とする請求項 1 乃至 3 のいずれか一項に記載のハードマクロ。

**【請求項 6】**

前記通過配線にはリピータが挿入されていることを特徴とする請求項 1 乃至 5 のいずれか一項に記載のハードマクロ。

**【請求項 7】**

前記通過配線を複数備えることを特徴とする請求項 1 乃至 5 のいずれか一項に記載のハードマクロ。

**【請求項 8】**

複数の通過配線が一定間隔に配されていることを特徴とする請求項 7 に記載のハードマクロ。

**【請求項 9】**

少なくとも 1 つの通過配線にはリピータが挿入されていることを特徴とする請求項 7 又は 8 に記載のハードマクロ。

**【請求項 10】**

一の通過配線が複数の区間に分割され、該区間毎の配線が、当該ハードマクロ内部の複数の階層に分散配置されていることを特徴とする請求項 1 乃至 9 のいずれか一項に記載のハードマクロ。

**【請求項 11】**

当該ハードマクロは、RAMであることを特徴とする請求項 1 乃至 10 のいずれか一項に記載のハードマクロ。

**【請求項 12】**

当該ハードマクロは、PLL 回路であることを特徴とする請求項 1 乃至 10 のいずれか一項に記載のハードマクロ。

**【請求項 13】**

請求項 1 乃至 12 のいずれか一項に記載のハードマクロを備えて構成されていることを特徴とする半導体集積回路。

**【請求項 14】**

当該半導体集積回路は、CBI C であることを特徴とする請求項 13 に記載の半導体集積回路。

**【請求項 15】**

請求項 13 又は 14 に記載の半導体集積回路のフロアプラン検討を行うためのフロアブ

ラン検討手段を備えることを特徴とするフロアプラン検討装置。

【請求項 16】

前記フロアプラン検討手段には、前記通過配線の使用態様を検討する通過配線使用態様検討手段が含まれていることを特徴とする請求項 15 に記載のフロアプラン検討装置。

【請求項 17】

コンピュータが実行可能なプログラムにおいて、  
請求項 15 又は 16 に記載のフロアプラン検討手段による検討を実行することを特徴とするプログラム。

【請求項 18】

コンピュータが読み取り可能な記録媒体において、  
請求項 17 に記載のプログラムが記録されていることを特徴とする記録媒体。

## 【書類名】明細書

【発明の名称】ハードマクロ及びこれを備える半導体集積回路

## 【技術分野】

## 【0001】

本発明は、ハードマクロ、これを備える半導体集積回路、フロアプラン検討装置、プログラム及び記録媒体に関する。

## 【背景技術】

## 【0002】

近年、半導体集積回路 (Semiconductor Integrated Circuit) は、大規模化・高集積化が進められるとともに、その開発期間の短縮が要求されている。

## 【0003】

半導体集積回路には、ビルディングブロック方式と呼ばれる方式で構成されるタイプのもの (ビルディングブロック方式の半導体集積回路) がある。すなわち、各種の機能回路を要素セル (ブロック) としてまとめたものをビルディングブロックといい、このようなブロックをライブラリとして登録しておき (ライブラリ化しておき)、このうち必要なブロックを半導体チップ上に適宜レイアウトし、これらブロックを相互に配線することにより半導体集積回路を構成する方式をビルディングブロック方式という。

## 【0004】

このようなビルディングブロック方式の半導体集積回路には、例えば、セルベース IC (CBIC: Cell Base Integrated Circuit) といったセミカスタム IC や、その他のフルカスタム IC がある。

## 【0005】

半導体集積回路のレイアウト (フロアプラン) を行うに際しては、チップ面積や信号伝播遅延を考慮してブロック (以下、ハードマクロ) を半導体チップ上の適宜の位置に配置する。また、ハードマクロ間の領域は、ハードマクロ間に配線を施すための配線領域として利用される。

## 【0006】

ところで、フロアプランを検討するに際して、半導体集積回路内のハードマクロが形成された領域を配線が通過することが出来ない場合がある。これに相当するのは、例えば、第1のハードマクロと第2のハードマクロとを相互に配線したい場合に、これら第1及び第2のハードマクロ間に第3のハードマクロが位置し、この第3のハードマクロ上に当該配線を通過させることが出来ないような場合である。配線の通過が制限される理由としては、通過する配線とハードマクロを形成する要素セルとの間でクロストークが発生しないように当該配線を施すことが禁止される場合や、通過する配線とハードマクロ自体が有する配線とが短絡する場合等がある。

## 【0007】

このような場合に、第3のハードマクロを迂回するような配線を施すとすれば、配線経路が長くなることによりタイミング収束が難しくなる。この結果、再レイアウトを行う必要が生じて TAT (Turn Around Time) がかかる (増大する) 場合がある。

## 【0008】

ハードマクロを迂回することなく、当該ハードマクロ自体が有する配線と短絡しないようにハードマクロ領域に通過配線を施す技術が特許文献1に記載されている。この特許文献1では、エンベデッドアレイ方式のLSIに関してではあるが、通過させたい配線とハードマクロ内の初期配線とを当該ハードマクロの領域内で再配線することにより、ハードマクロを迂回する配線を減少させるようにしている。この技術により、通過配線として、ハードマクロの外形において互いに対向する辺を通過する配線を再配線している。

【特許文献1】特開平9-64190号公報 (第3-4頁、第2図)

## 【発明の開示】

**【発明が解決しようとする課題】****【0009】**

しかしながら、特許文献1の技術では、ハードマクロの一边側からこの辺に対向する他辺側に向けてのみ通過配線が施されるので、例えば、図8に示すように、ハードマクロ500の一边501の近傍から、該一边501に交差する他辺502の近傍に向けて配線を施したい場合には、通過配線503を施すのが不都合となるので（配線経路が余計に長くなるため）、ハードマクロ500を迂回する迂回配線504を施す必要がある。つまり、このような場合、特許文献1の技術では、上記のような従来の問題、すなわちハードマクロが形成された領域を配線が通過できないという問題を完全に解決することができない。また、迂回配線504の配線領域の確保のためにハードマクロ500とハードマクロ600、700との間隔を空ける必要があるため、チップ面積にロスが生じ、チップ面積が増大するとともに半導体集積回路の集積密度が充分でなくなる。

**【0010】**

ここで、ハードマクロには、半導体チップ上のある領域に集約して配置することが多いタイプのもの（例えばRAM（Random Access Memory）が該当する）や、半導体チップ上の特定の領域に配置する必要があるタイプのもの（例えば、I/O PAD（I/O領域）の近傍に配置する必要があるPLL（Phase Locked Loop）回路が該当する）がある。

**【0011】**

従来は、RAMのように半導体チップ上のある領域に集約して配置されるハードマクロの場合にも、配線領域の確保のためにハードマクロ間にある程度の間隔を設ける必要があったし、ハードマクロ間の配線が混雑しがちになるという問題もあった。同様に、従来は、PLL回路のように半導体チップ上の特定の領域（例えば、I/O PADの近傍）に配置されるハードマクロの場合にも、I/O PADとの間に配線領域確保のためにある程度の間隔を設ける必要があった。

**【0012】**

また、フロアプランを検討するに際して、ハードマクロ間の配線領域をどの程度確保しておけば良いかの判断を初期段階で行うことは難しい。このため、例えば、配線領域に余裕を見積もってハードマクロ間を空けすぎた場合には、この余裕分だけチップ面積をロスしてしまうとともに、半導体集積回路の集積密度が充分でなくなっていた。逆に、ハードマクロ間が狭すぎて配線領域が不足した場合には、ハードマクロを迂回する配線が増加してしまい、この場合にも、迂回配線の配線領域の分だけチップ面積をロスしてしまうとともに、半導体集積回路の集積密度が充分でなくなっていた。つまり、従来は、配線領域の必要量の予測が困難であったためにフロアプランの検討も容易でなかった。

**【0013】**

本発明は、上記のような問題点を解決するためになされたもので、ハードマクロが形成された領域を配線が通過できないという問題の発生を充分に抑制できるとともに配線領域を最小限に抑制でき、配線領域の必要量の予測を容易にすることでフロアプランの検討も容易に行うことを可能とするハードマクロ、これを備える半導体集積回路、フロアプラン検討装置、プログラム及び記録媒体を提供することを目的とする。

**【課題を解決するための手段】****【0014】**

上記課題を解決するため、本発明のハードマクロは、半導体チップ上に配されて半導体集積回路の一部を構成するハードマクロにおいて、当該ハードマクロには、該ハードマクロの内部を通過する通過配線が、該ハードマクロの前記半導体チップ上への配置前に予め施され、前記通過配線の経路は、平面視において、当該ハードマクロの外形を構成する一边からこの一边に交差する他辺に至るように設定されていることを特徴としている。

**【0015】**

本発明においては、前記他辺は前記一边に対し直交する辺であることを好ましい例とする。また、前記他辺は前記一边に隣接する辺であることを好ましい例とする。

**【0016】**

さらに、前記通過配線は、当該ハードマクロ内をL字状に通過することを好ましい例とする。或いは、前記通過配線は、当該ハードマクロ内を直線状に通過することも好ましい。

**【0017】**

また、前記通過配線には、必要に応じて、リピータを挿入しておくことも好ましい。

**【0018】**

また、本発明においては、前記通過配線を複数備えることを好ましい例とする。この場合に、複数の通過配線が一定間隔に配されていることがより好ましい。

**【0019】**

また、本発明においては、一の通過配線が複数の区間に分割され、該区間毎の配線が、当該ハードマクロ内部の複数の階層に分散配置されていることも好ましい。

**【0020】**

なお、本発明のハードマクロは、具体的には、例えば、RAM (Random Access Memory) や、PLL (phase locked loop) 回路であることを好ましい例とする。

**【0021】**

また、本発明の半導体集積回路は、本発明のハードマクロを備えて構成されていることを特徴としている。

**【0022】**

本発明の半導体集積回路は、具体的には、例えば、CBIC (Cell Base Integrated Circuit) であることを好ましい例とする。

**【0023】**

また、本発明のフロアプラン検討装置は、本発明の半導体集積回路のフロアプラン検討を行うためのフロアプラン検討手段を備えることを特徴としている。

**【0024】**

ここで、フロアプラン検討手段には、前記通過配線の使用態様を検討する通過配線使用態様検討手段が含まれていることが好ましい。

**【0025】**

また、本発明のプログラムは、コンピュータが実行可能なプログラムにおいて、本発明のフロアプラン検討装置のフロアプラン検討手段による検討を実行することを特徴としている。

**【0026】**

また、本発明の記録媒体は、コンピュータ読み取り可能な記録媒体において、本発明のプログラムが記録されていることを特徴としている。

**【発明の効果】****【0027】**

本発明のハードマクロによれば、ハードマクロの内部を通過する通過配線が、該ハードマクロの半導体チップ上への配置前に予め施されているので、通過配線を利用して、ハードマクロ間の配線を行うことができる。従って、ハードマクロが形成された領域を配線が通過することができないという問題の発生を十分に抑制できる。また、ハードマクロ間における配線数を低減できることから、ハードマクロ間において必要な配線領域を最小限に抑制することができるとともに、配線領域の必要量の予測も比較的簡単になる。この結果、フロアプランの検討も容易に行うことができる。また、通過配線を利用して配線を行うことにより配線の自由度が高まり、この結果としてレイアウトの自由度も高まるので、このことからフロアプランの検討が容易になる。また、ハードマクロ間の配線領域を抑制できることから、チップ面積を最小限にすることができるとともに、半導体集積回路の集積密度を充分なものとすることができる。また、通過配線を利用して配線を行うことにより配線経路を最小限にすることができるので、タイミング収束が容易となり、この結果、再レイアウトを行う必要性を低減させることができ、TAT (Turn Around



Time) の短縮も可能となる。

【0028】

また、本発明のハードマクロによれば、特に、通過配線の経路が、平面視において、当該ハードマクロの外形を構成する一辺からこの一辺に交差する他辺に至るように設定されているので、該一辺側から該他辺側に至る配線を、通過配線を用いて施すことができる。よって、当該ハードマクロと、該ハードマクロの一辺側近傍に配されるハードマクロとの間隔、並びに、当該ハードマクロと、該ハードマクロの他辺側近傍に配されるハードマクロとの間隔を、いずれも最小限に抑制することができる。

【0029】

本発明の半導体集積回路によれば、本発明のハードマクロを備えて構成されているので、集積密度の高いものとすることができるし、フロアプラン検討を容易に行うことができる結果として短いTATで製作することができる。

【0030】

また、本発明に係るフロアプラン検討装置によれば、フロアプラン検討手段を備えるので、本発明に係るハードマクロの配置の検討を行うことができるほか、本発明に係るハードマクロの通過配線を好適に利用してフロアプラン検討を行うことができる。

【0031】

また、本発明に係るプログラム並びに記録媒体によれば、本発明に係るフロアプラン検討装置によるフロアプラン検討を好適に実現することができる。

【発明を実施するための最良の形態】

【0032】

以下、図面を参照して、本発明に係る実施形態について説明する。

【0033】

すなわち、本実施形態では、図1乃至図5を参照して、本発明に係るハードマクロの適例としてのRAM(Random Access Memory)1(図1及び図2)並びにPLL(Phase Locked Loop)回路2(図3)と、本発明に係る半導体集積回路の適例としてのCBIC(Cell Base Integrated Circuit:図4)と、このCBICのフロアプラン検討を行うためのフロアプラン検討装置4(図5)と、について説明する。

【0034】

先ず、RAM1、PLL回路2の構成について説明する。

【0035】

図1に示すRAM1及び図3に示すPLL回路2は、例えば図4に示すように、それぞれ半導体チップ5上に配されてCBICの一部を構成するものである。

【0036】

このうち、RAM1には、図1に示すように、該RAM1の内部を通過する複数の通過配線11a、11b、11c、11d、11e、11fが、該RAM1の半導体チップ5上への配置前に予め施されている。

【0037】

ここで、RAM1は、例えば、平面視における外形形状が矩形状をなしている。そして、通過配線11a～11cの経路は、平面視において、RAM1の外形を構成する一辺12から該一辺12に交差する他辺13に至るように設定されている。同様に、通過配線11d～11fの経路は、RAM1の一辺12から該一辺12に交差する他辺14に至るように設定されている。

【0038】

より具体的には、他辺13、14は、それぞれ一辺12に対し直交かつ隣接する辺であり、通過配線11a～11fは、RAM1内をL字状に通過する。また、通過配線11a～11cは、スロットピッチ(Slot Pitch)に合わせて一定間隔に配されている。同様に、通過配線11d～11fも一定間隔に配されている。

【0039】

さらに、各通過配線11a～11fの両端部には、各通過配線11a～11fをRAM1の外部の配線と接続するための端子11gが設けられている。

#### 【0040】

なお、RAM1は、図2に示すように、複数の階層（例えば、第1層111、第2層112、第3層113及び第4層114）からなる階層構造をなして、このうちいずれか一つ又は複数の階層に通過配線11a～11fが配されている（本実施形態のRAM1の場合、例えば、いずれの通過配線11a～11fも第2層112に配されている）。

#### 【0041】

ここで、「複数の階層」の物理的意味について補足する。ハードウェアマクロであるRAM1は半導体基板に形成したトランジスタ等の素子（図示せず）を配線層で電氣的に接続することにより実現する。この配線層は一般的に複数層からなる構造を有し、ハードマクロ内の配線やハードマクロ間にまたがる配線として利用される。本実施形態における「通過配線」とは、RAM1と電氣的な接続関係を有しない配線を意味する。

#### 【0042】

また、PLL回路2にも、図3に示すように、該PLL回路2の内部を通過する複数の通過配線21a、21b、21c、21d、21e、21fが、該PLL回路2の半導体チップ5上への配置前に予め施されている。このPLL回路2は、例えば、平面視における外形形状が矩形状をなして、通過配線21a～21fの経路は、平面視において、PLL回路2の外形を構成する一辺22から該一辺22に交差する他辺23、24に至るように設定されている。より具体的には、他辺23、24は、それぞれ一辺22に対し直交かつ隣接する辺である。なお、PLL回路2における通過配線21a～21fは、該PLL回路2内を直線状に通過する。これら通過配線21a～21fは、通過配線11a～11fと同様に、スロットピッチに合わせて一定間隔に配されている。さらに、各通過配線21a～21fの両端部には、各通過配線21a～21fをPLL回路2の外部の配線と接続するための端子21gが設けられている。なお、PLL回路2もRAM1と同様の階層構造をなして、いずれかの階層に通過配線21a～21fが配されている。

#### 【0043】

次に、図4を参照して、以上のような構成のRAM1、PLL回路2の半導体チップ5上への配置について説明する。

#### 【0044】

先ず、RAM1はその内部を通過する通過配線11a～11fを備えているので、これら通過配線11a～11fを利用して信号線等の配線を行うことができる。従って、これら通過配線11a～11fを有しないRAMの場合と比べて、RAM1とRAM6との間隔、並びに、RAM1とRAM7との間隔を狭めることができる。

#### 【0045】

すなわち、例えば、RAM1の一辺12側の配線81と他辺13側の配線82について考えてみる。この場合に、本実施形態のRAM1によれば、図4に示すように、配線81、82をそれぞれ例えば通過配線11bに接続することにより、RAM1を迂回する配線を施すことなく、配線81から配線82までをスムーズに接続することができる。

#### 【0046】

これに対して、RAM1に通過配線11a～11cがない場合には、RAM1の一辺12から他辺13に沿って該RAM1を迂回する配線を施して配線81から配線82までを接続する必要があり、この結果、RAM1とRAM6との間隔を図4に示す場合よりも広げる必要がある。

#### 【0047】

このことは、RAM1の一辺12側の配線83と他辺14側の配線84について考えた場合におけるRAM1とRAM7との間隔に関しても同様である。

#### 【0048】

このように、本実施形態のRAM1によれば、該RAM1の内部を通過する複数の通過配線11a～11fが、該RAM1の半導体チップ5上への配置前に予め施されているの

で、通過配線11a~11fを利用して配線を行うことができる。従って、RAM1の配置領域を配線が通過することができないという問題の発生を十分に抑制できる。また、RAM1とRAM6, 7との間隔における配線数を低減できることから、該間隔において必要な配線領域を最小限に抑えることができるため、RAM1とRAM6, 7との間隔を狭めることができる。よって、RAM1、6、7をより一層集約した配置とすることができるので、CBICの集積密度を充分なものとする可以同时に、半導体チップ5の面積(チップ面積)を最小限にすることができる。

#### 【0049】

さらに、RAM1とRAM6, 7との間隔における配線数を低減できることから、該間隔において必要な配線領域の予測も比較的簡単になるので、フロアプランの検討が容易になり、TAT(Turn Around Time)の短縮も可能となる。しかも、通過配線11a~11fを利用することにより配線の自由度並びにレイアウトの自由度が高まり、このことによってもフロアプランの検討が容易になり、TATを短縮できる。

#### 【0050】

加えて、通過配線11a~11fを利用して配線を行うことにより配線経路を最小限にすることができる(配線の迂回を抑制できる)ので、タイミング収束が容易になり、この結果、再レイアウトを行う必要性を低減させることができ(フロアプランの検討が容易になって)TATを短縮できる。

#### 【0051】

また、特に、通過配線11a~11fの経路は、平面視において、RAM1の外形を構成する一辺12からこの一辺に交差する他辺13, 14に至るように設定されているので、該一辺12側から該他辺13, 14側に至る配線81、82、配線83、84を、通過配線(例えば通過配線11b、11e)を用いて施すことができる。よって、RAM1と、該RAM1の一辺12側近傍に配されるハードマクロ6, 7との間隔、並びに、RAM1と、該RAM1の他辺13, 14側近傍に配されるハードマクロ(図示略)との間隔を、いずれも最小限に抑制することができる。

#### 【0052】

また、PLL回路2は、該PLL回路2内部を通過する通過配線21a~21fを備えているので、これら通過配線21a~21fを利用して配線を行うことができる。従って、これら通過配線21a~21fを有しないPLL回路の場合と比べて、PLL回路2とI/O PAD9との間隔を狭めることができる。

#### 【0053】

すなわち、例えば、I/O PAD9より導出され、PLL回路2の一辺22側から他辺23側に至る配線86、87について考えてみる。この場合に、本実施形態のPLL回路2によれば、図4に示すように、配線86、87をそれぞれ例えば通過配線21bに接続することにより、PLL回路2を迂回する配線を施すことなく、配線86から配線87までを接続することができる。同様に、PLL回路2の一辺22側から他辺24側に至る配線88、89についても、これら配線88、89をそれぞれ例えば通過配線21eに接続することにより、PLL回路2を迂回する配線を施すことなく配線88から配線89までを接続することができる。なお、PLL回路2においてI/O PAD9に臨む一辺22には、I/O PAD9より導出された配線85が接続されている。

#### 【0054】

このように、本実施形態のPLL回路2によれば、該PLL回路2の内部を通過する通過配線21a~21fが、該PLL回路2の半導体チップ5上への配置前に予め施されているので、RAM1における場合と同様の効果が得られる。従って、PLL回路2をI/O PAD9の近傍に配置することができる。

#### 【0055】

また、特に、PLL回路2の通過配線21a~21fは、直線状の経路に設定されているので、該通過配線21a~21f(例えば通過配線21b、21e)を用いることにより、PLL回路2の一辺22側から該他辺23, 24側に至る配線86、87、配線88

、89を最短距離で接続することができる。

【0056】

また、本実施形態のCBICは、本実施形態のRAM1、PLL回路2を備えて構成されるので、集積密度の高いものとすることができ、フロアプラン検討を容易に行うことができる結果として短いTATで製作することができる。

【0057】

次に、図5を参照して、本実施形態のフロアプラン検討装置4について説明する。

【0058】

フロアプラン検討装置4は、例えば、一般的なCAD (Computer Aided Design) 装置からなり、入力部41、制御部42及び表示部43を備えている。

【0059】

表示部43は、制御部42の制御下で、半導体集積回路 (例えばCBIC) のレイアウトの表示やパラメータの入力画面の表示を行うものであり、例えば、CRT (Cathode Ray Tube) 方式の表示装置或いはLCD (Liquid Crystal Display) 等により構成されている。

【0060】

入力部41は、オペレータが操作 (フロアプラン検討の実行要求操作やパラメータの入力操作等) を行うためのもので、例えば、キーボード及びマウスにより構成されている。

【0061】

制御部42は、入力部41からの信号入力に基づき、各種の演算・制御を行うもので、CPU (Central Processing Unit) 421、ROM (Read Only Memory) 422及びRAM (Random Access Memory) 423を備えている。

【0062】

CPU421は、ROM (記録媒体) 422に記憶されたプログラムを実行して各種処理を行う。ROM422には、各種処理の実行に必要なプログラム及びデータが記憶されている。RAM423は、各種処理の際に各種データを一時的に記憶する記憶領域、並びに、CPU421の作業領域を備えている。

【0063】

より具体的には、CPU421は、入力部41でのオペレータによる操作に基づき、ROM422に記憶されたフロアプラン検討処理実行用プログラム (プログラム) を実行して、フロアプラン検討処理を行う。このフロアプラン検討処理には、ハードマクロの配置及び配線の検討を行う処理が含まれる。

【0064】

CPU421は、このうち、ハードマクロの配置の検討を行う処理 (ハードマクロ配置検討処理) を行う結果として、ハードマクロの配置を決定するが、このようなハードマクロの配置の検討及び決定は、以下に説明する配線の検討及び決定と並行して行うことが好ましい。すなわち、通過配線を好適に使用できるか否かに応じて配置を調節する。

【0065】

CPU421による配線の検討処理には、特に、ハードマクロ (RAM1やPLL回路2) の通過配線をどのように使用するかの検討、つまり、通過配線の使用態様の検討を行う処理 (通過配線使用態様検討処理) が含まれている。

【0066】

この通過配線使用態様検討処理では、例えば、図4に示すようにRAM1を半導体チップ5上に配置する場合において、通過配線11a~11fを使用するか否かの検討、並びに、(いずれかを使用する場合において) いずれの外部配線 (RAM1外部の配線; 図4の配線81、82、83、84等) をいずれの通過配線11a~11fに接続するのが最適であるかの比較検討及び決定を行う。例えば、図4に示す配線81-配線82間、並びに、配線83-配線84間を接続するに際しては、CPU421は、先ず、これら配線間にはRAM1が配置されていることから、これら配線間の接続に際し、いずれかの通過配

線 11a～11f を使用することを決定する。続いて、CPU421 は、いずれの外部配線（配線 81、82、83、84）をいずれの通過配線 11a～11f に接続するのが最適であるかの比較検討を行い、該比較検討に基づき、いずれの外部配線 81～84 をいずれの通過配線 11a～11f に接続するかを選択的に決定する。ここで、配線 81－配線 82 間の接続には、通過配線 11b を使用した場合に（例えば、通過配線 11a 或いは 11c を使用する場合等と比べて）最も配線経路を短くできるとともに配線に不必要な折れ曲がりが生じないようにできる一方で、配線 83－配線 84 間の接続には、通過配線 11e を使用した場合に最も配線経路を短くできるとともに配線に不必要な折れ曲がりが生じないようにできる。このため、CPU421 は、例えば、配線 81－配線 82 間の接続には通過配線 11b を使用する一方で、配線 83－配線 84 間の接続には通過配線 11e を使用することを決定する。また、制御部 42 は、PLL 回路 2 の配置に際しても同様に、通過配線 21a～21f のいずれかを使用するか否かの検討、並びに、いずれの外部配線 86、87、88、89 をいずれの通過配線 21a～21f に接続するのが最適であるかの比較検討及び決定を行い、その結果として、例えば、配線 86－配線 87 の接続には通過配線 21b を使用する一方で、配線 88－配線 89 間の接続には通過配線 21e を使用することを決定する。なお、ここで、制御部 42 は、フロアプラン検討手段（通過配線使用態様検討手段を含む）として機能する。

#### 【0067】

このように、本実施形態のフロアプラン検討装置 4 によれば、フロアプラン検討手段（通過配線使用態様検討手段を含む）としての制御部 42 を備えるので、ハードマクロ（RAM1、PLL 回路 2）の配置の検討及び決定を行うことができる他、該ハードマクロの配置に際して、通過配線 11a～11f（或いは 21a～21f）を使用するか否かの検討と、いずれの通過配線をどのように（いずれの外部配線の接続用に）使用するのが最適であるかの比較検討及び決定と、を行うことができる。よって、ハードマクロを最適な配置にすることができるとともに、通過配線 11a～11f（或いは 21a～21f）を最適な態様で使用する事ができる。

#### 【0068】

ここで、ハードマクロ形成領域に通過配線を形成出来ない理由としては、前述の通り、ハードマクロを形成する要素セルと通過配線間のクロストークの発生や、ハードマクロ内部の配線と通過配線間との短絡が主原因となる。従来の設計方法は、一旦最適設計したハードマクロに対して新たに通過配線を形成する場合、再度そのハードマクロ自体の再設計を伴うものであった。

#### 【0069】

これに対し、本発明によれば、個別のハードマクロの設計時点であらかじめ通過配線を最適配置しておくことにより、上記通過配線形成に伴う問題を解決できる。特に、ハードマクロが形成される領域内で通過配線がその向きを変更する場合、本発明のハードマクロは通過配線形成の自由度を大きくすることに貢献する。

#### 【0070】

##### <変形例 1>

上記の実施形態のハードマクロ（例えば RAM1）においては、該 RAM1 を構成する複数の階層（第 1 層 111～第 4 層 114）のうちでいずれか 1 つの階層（例えば第 2 層 112）にのみ通過配線 11a～11f が配されている例を説明したが、ハードマクロの構成によっては、通過配線を複数の階層（2 つ或いは 3 つ以上の階層）に亘って配した方が都合良い場合がある。

#### 【0071】

そこで、この変形例 1 では、図 6（a）及び（b）を参照して、通過配線を複数の階層に亘って配する例について説明する。なお、図 6（a）及び（b）では、上記の実施形態と同様の構成要素には同一の符号を付し、その説明を省略する。

#### 【0072】

図 6（a）に示すように、変形例 1 の RAM100 の通過配線 11a は、例えば、それ

ぞれ、第2層112及び第3層113に亘って配されている。つまり、通過配線11aは、第1区間101と第2区間102に分割されていて、このうち第1区間101の配線は第3層113に配されている一方で、第2区間102の配線は第2層112に配されている。そして、相互に異なる階層で形成される第1区間101及び第2区間102の配線は、物理的には、相互に異なる階層間の配線を電氣的に絶縁分離する層間絶縁膜（図示せず）に設けられるビア（層間絶縁膜の開口部を導電性材料で充填した構造体。図示せず。）により相互に電氣的に接続される。図6（a）において、各階層面に対し垂直方向に引かれる2点鎖線が、ビアを模式的に表示する。

#### 【0073】

以下の説明では、特に断りがない限り、各階層に形成される通過配線は、対応する図に示される通り2点鎖線で模式的に表示されるビアにより相互に電氣的に接続されているものとする。図6（a）では、一の通過配線（通過配線11a）が複数の区間（第1区間101及び第2区間102）に分割され、該区間毎の配線が、当該ハードマクロ（RAM100）内部の複数の階層（第2層112と第3層113）に分散配置されている。

#### 【0074】

また、同様に、通過配線11bは第1区間103と第2区間104とに分割されている一方で、通過配線11cは第1区間105と第2区間106とに分割されている。そして、このうち各第1区間103、105の配線は第3層113に配されている一方で、各第2区間104、106の配線は第2層112に配されている。

#### 【0075】

また、通過配線11fは、例えば、第2層112、第3層113及び第4層114に亘って配されている。すなわち、通過配線11fは、第1区間107、第2区間108及び第3区間109に分割されていて、このうち第1区間107の配線は第2層112に、第2区間108の配線は第4層114に、第3区間109の配線は第3層113に、それぞれ配されている。

#### 【0076】

なお、通過配線11fのように配線がハードマクロ内で引き回される場合、あるいは配線が長くなる場合には、図6（b）に示すように、予めリピータ110を挿入しておくことが好ましい。リピータ（バッファ（Buffer）ともいう）110は、2個のインバータが直列に接続されて構成された回路である。通過配線（例えば通過配線11f）にリピータ110を挿入することにより、該通過配線における信号の遅延を制御することができる。

#### 【0077】

ここで、図6（b）に示すように、1つの通過配線（例えば通過配線11f）に対し複数のリピータ110を直列に設けても良いし、或いは、単数のリピータ110を設けることとしても良い。すなわち、ハードマクロ内における通過配線が長い場合には、図6（b）に示すとおり、ハードマクロRAM1の外部端子11gの近傍に1つ目のリピータ110を配置する。その1つ目のリピータ110がRAM1の内部を通過する配線に外部端子11gに入力された信号を伝達する。2つ目のリピータ110は、通過配線の信号を出力するRAM1の外部端子の近傍に配置される。この2つ目のリピータ110はRAM1を通過する配線を通じて信号を駆動するものである。

#### 【0078】

ここで、図6（b）について補足説明をする。図6（b）において、図6（a）と同じ番号が付されているものは図6（a）と同じ機能を有する。リピータ110とは、よく知られている通り、入力信号と同相の信号を出力することにより長い配線における信号伝達速度の遅延を抑制するものである。このリピータ自体はRAM1と電氣的な接続関係を有するものではない。リピータを構成する回路として、具体的には、前述の通り2個のインバータを直列に接続した構成が一般的である。この場合、インバータは、半導体基板に形成したトランジスタ等の素子を配線層で電氣的に接続することにより実現する。図6（b）では、2つのリピータ110は第1層111に模式的（入力信号と同相の出力信号を発

生する回路して一般的に使用される記号)に記載されている。これは、リピータ110と第1層111の配線との接続関係を便宜的に示すものであり、必ずしも、第1層111の配線層でリピータを形成することを意味するものではない。

#### 【0079】

##### <変形例2>

上記の実施形態では、平面視におけるハードマクロ(RAM1、PLL回路2)の外形が矩形状であり、一辺12と他辺13, 14とが(或いは一辺22と他辺23, 24とが)隣接する場合について説明したが、変形例2では、図7に示すように、ハードマクロの外形に欠けがあり、一辺と他辺とが隣接していない場合について説明する。

#### 【0080】

すなわち、図7(a)に示すように、ハードマクロ200は、その外形に矩形状の欠け201があり、このため、該ハードマクロ200の一辺202と他辺203とは隣接していない。ハードマクロ200は、一辺202から他辺203に至るL字状の通過配線204を、欠け201に沿って備えている。

#### 【0081】

また、図7(b)に示すように、ハードマクロ300は、その外形に矩形状の欠け301があり、このため、該ハードマクロ300の一辺302と他辺303とは隣接していない。ハードマクロ300は、一辺302から他辺303に至る直線状の通過配線304を、欠け301に沿って備えている。

#### 【0082】

変形例2のハードマクロ200(300)によれば、通過配線204(304)を利用して、ハードマクロ200(300)の一辺202(302)側から、該一辺202(302)に直交する他辺203(303)側に至る配線を施すことができ、上記の実施形態と同様の効果が得られる。

#### 【0083】

なお、上記の実施の形態並びに各変形例においては、通過配線がL字状又は直線状である例を説明したが、本発明はこれに限らず、通過配線は、ハードマクロ内を、L字を繋げて構成したジグザグ状に通過するのでも良い(通過配線の経路に折曲部が複数有っても良い)。

#### 【0084】

また、ハードマクロ(RAM1、PLL回路2等)が通過配線を複数備える例を説明したが、通過配線を1つのみ備えるようにしても良い。

#### 【0085】

また、上記においては、半導体集積回路としてCBICを例示したが、本発明に係る半導体集積回路はこれに限らず、その他のビルディングブロック方式の半導体集積回路であっても良い。

#### 【0086】

また、上記においては、本発明に係る記録媒体として、ROM422を例示したが、本発明に係る記録媒体には、データを記録することができるあらゆる媒体を含むものとする。すなわち、このような媒体の例としては、他にも、例えば、CD-ROM(Compact Disk-ROM)やPDなどのディスク型の記録媒体、磁気テープ、MO(Magnet Optical Disk)、DVD-ROM(Digital Video Disk-Read Only Memory)、DVD-RAM(Digital Video Disk-Random Access Memory)、フレキシブルディスク、EPROM(Erasable Programmable Read Only Memory)、EEPROM(Electrically Erasable Programmable Read Only Memory)、スマートメディア(登録商標)、フラッシュメモリー、コンパクトフラッシュ(登録商標)カードなどの書き換え可能なカード型ROM、ハードディスクがあり、その他プログラムの格納(記録)に適していれば、いかなる手段も用いることができる。

## 【0087】

また、上記の実施の形態では、本発明に係る記録媒体として、フロアプラン検討装置 4 に備え付けの ROM 422 を示したが、本発明に係る記録媒体は、この例に限らず、例えば、フロアプラン検討装置 4 に対し着脱自在に構成された記録媒体により構成しても良い。

## 【図面の簡単な説明】

## 【0088】

- 【図 1】 本発明に係るハードマクロの一例を示す平面図である。
- 【図 2】 ハードマクロの階層構造を示す模式的な斜視図である。
- 【図 3】 ハードマクロの他の一例を示す平面図である。
- 【図 4】 本発明に係る半導体集積回路の一例を示す平面図である。
- 【図 5】 本発明に係るフロアプラン検討装置を示すブロック図である。
- 【図 6】 ハードマクロの階層構造の他の例を示す模式的な斜視図である。
- 【図 7】 ハードマクロのその他の例を示す平面図である。
- 【図 8】 従来の問題点を説明するための半導体集積回路の要部平面図である。

## 【符号の説明】

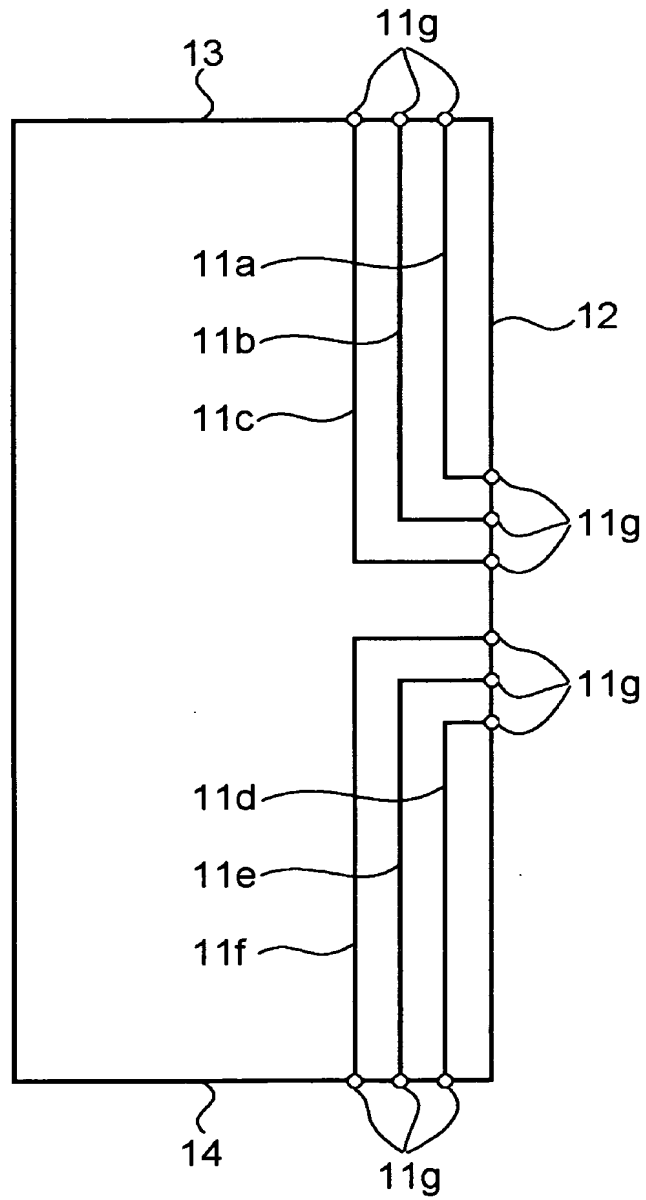
## 【0089】

- 1、100 RAM (ハードマクロ)
- 11a、11b、11c、11d、11e、11f 通過配線
- 12 一辺
- 13、14 他辺
- 2 PLL 回路 (ハードマクロ)
- 21a、21b、21c、21d、21e、21f 通過配線
- 22 一辺
- 23、24 他辺
- 5 半導体チップ
- 110 リピータ
- 4 フロアプラン検討装置
- 42 制御部 (フロアプラン検討手段、通過配線使用態様検討手段)
- 422 ROM (記録媒体)
- 200 ハードマクロ
- 202 一辺
- 203 他辺
- 204 通過配線
- 300 ハードマクロ
- 302 一辺
- 303 他辺
- 304 通過配線

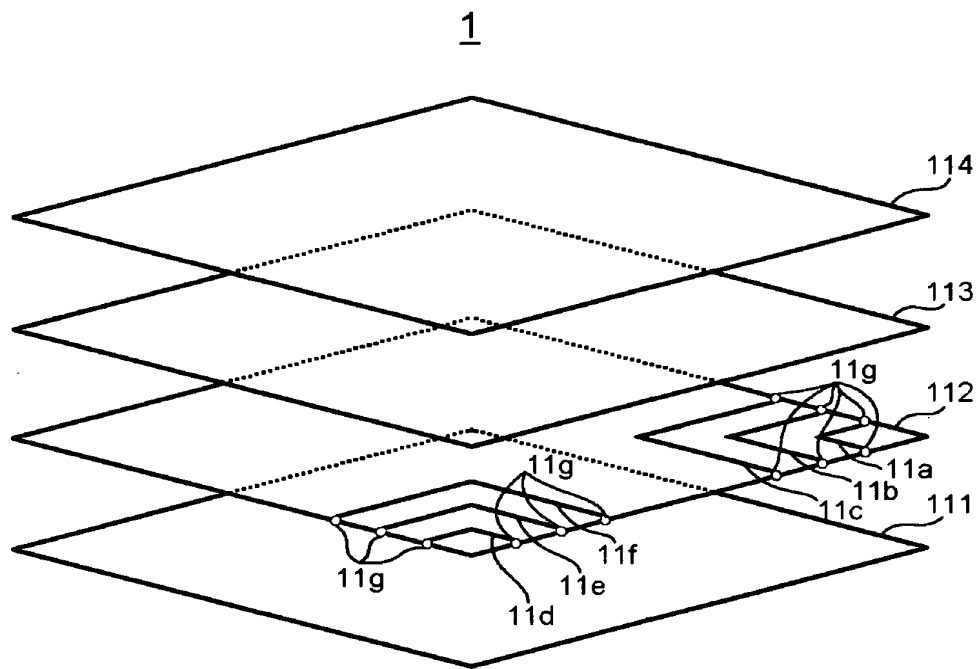


【書類名】 図面  
【図 1】

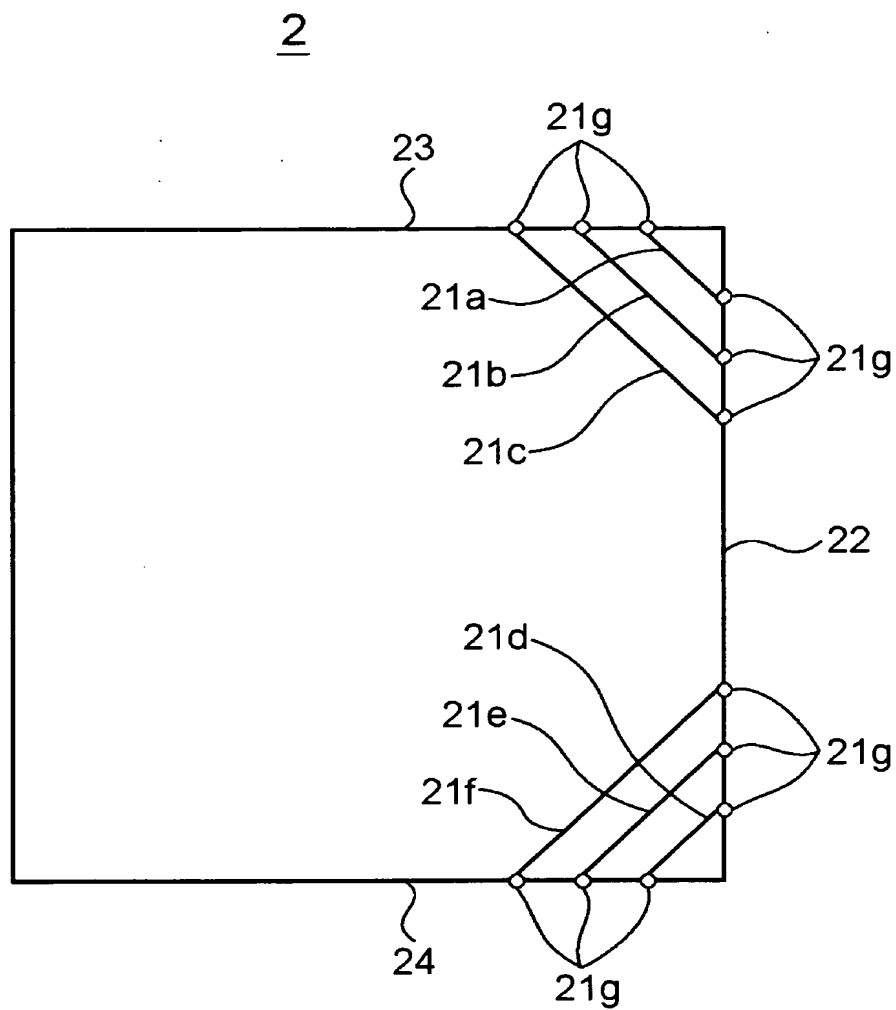
1



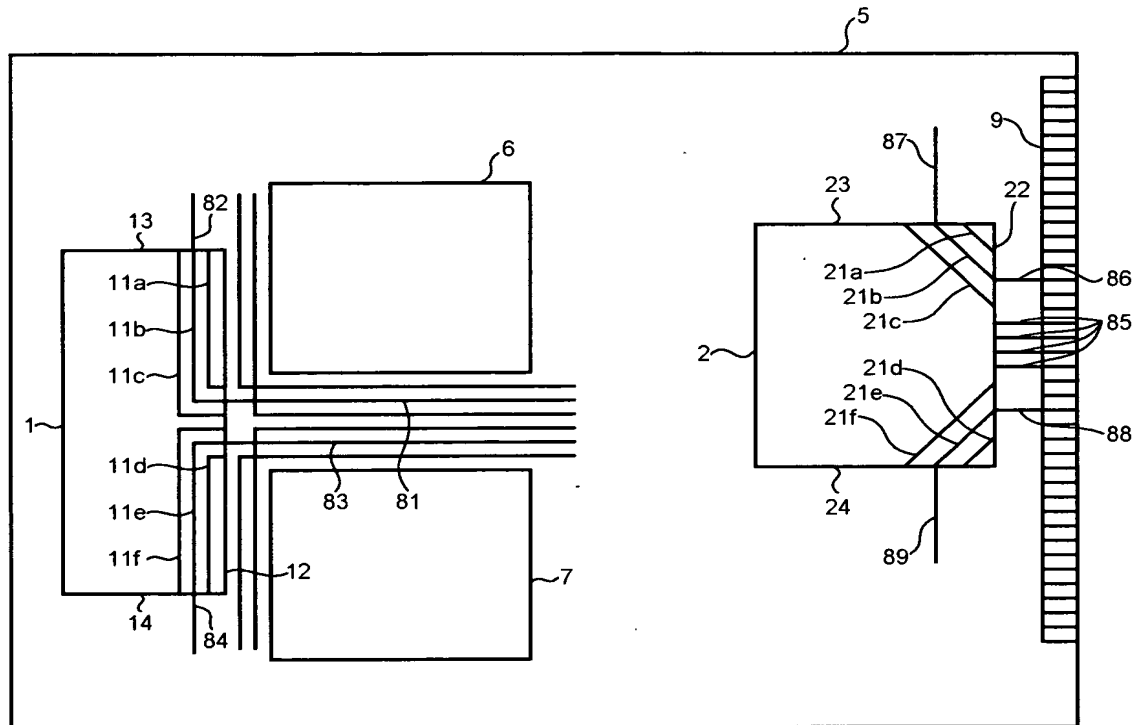
【図 2】



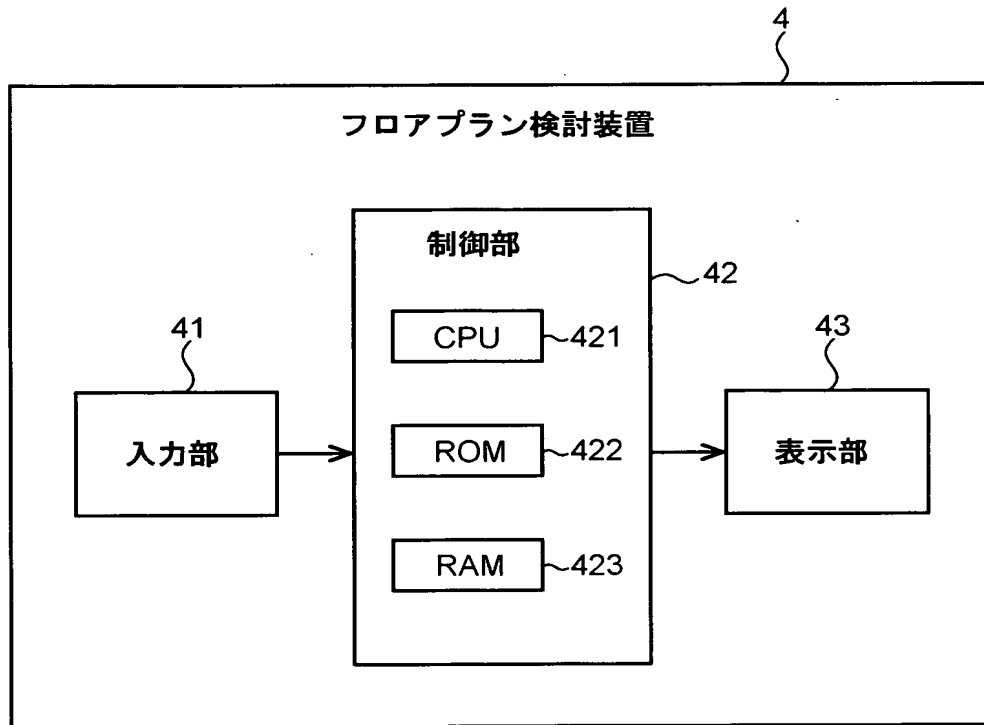
【図 3】



【図 4】

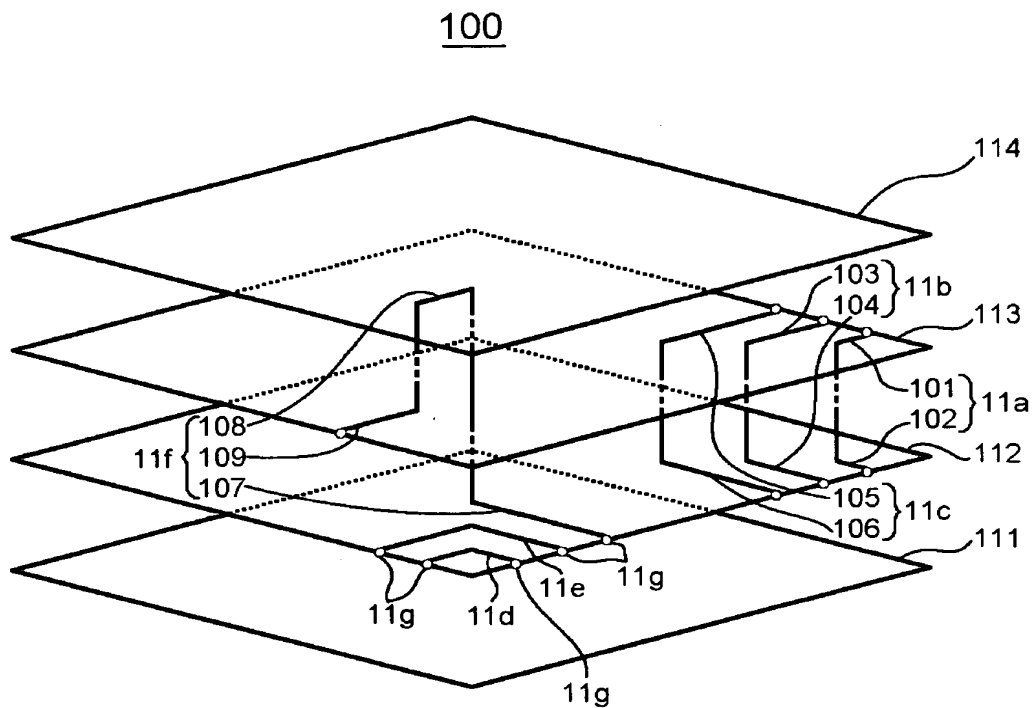


【図 5】

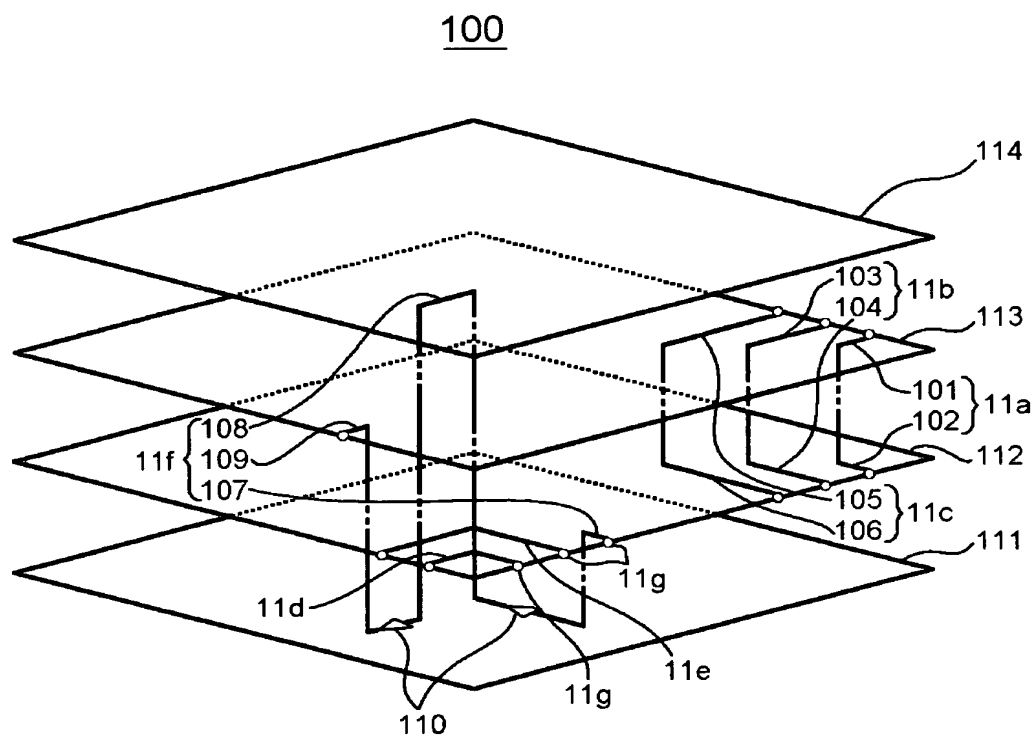


【図 6】

(a)

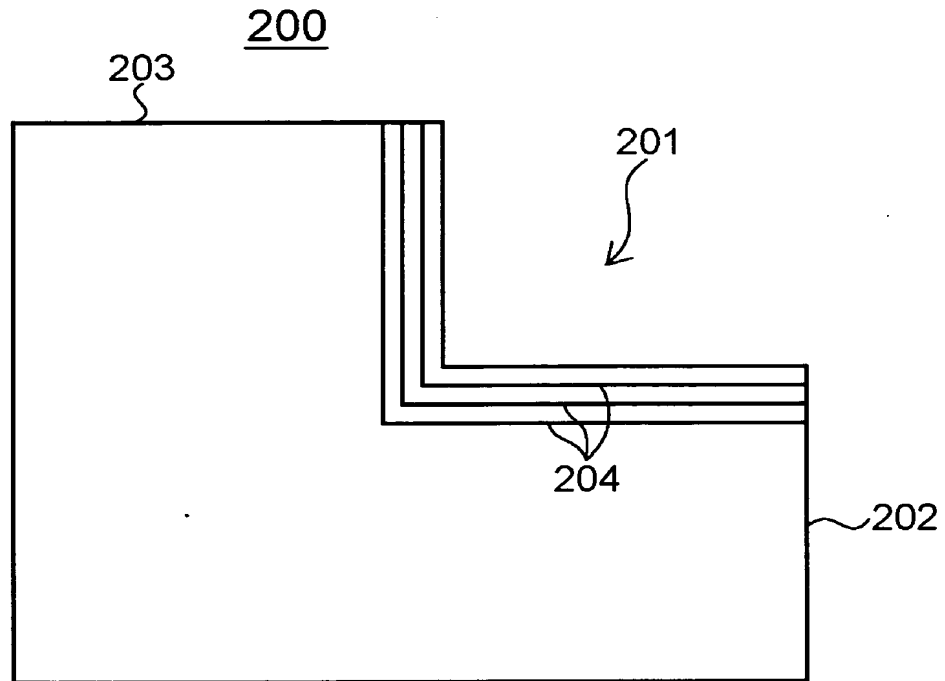


(b)

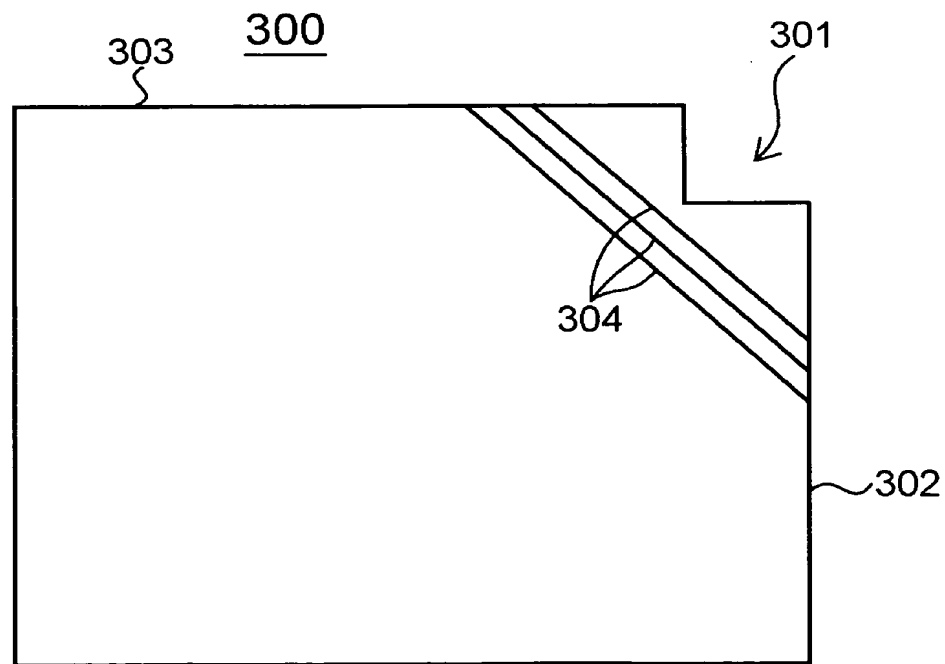


【図 7】

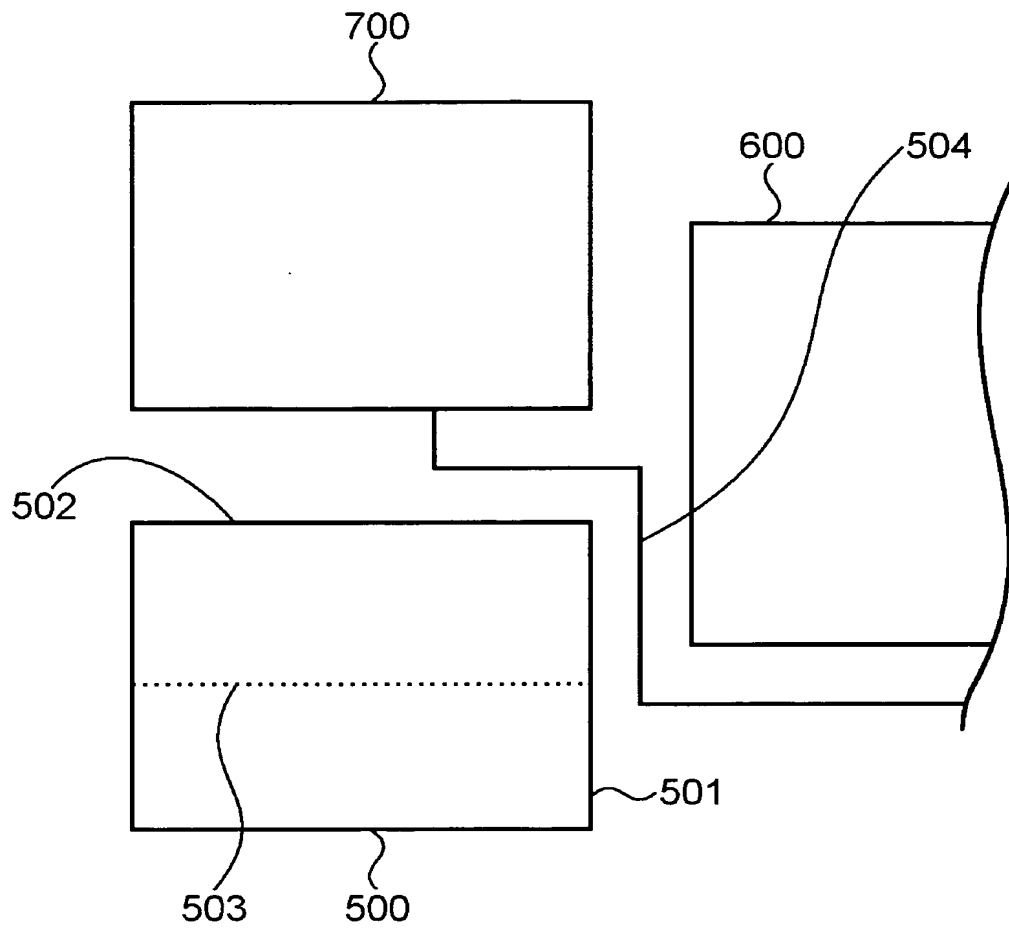
(a)



(b)



【図 8】





**【書類名】 要約書****【要約】**

**【課題】** ハードマクロが形成された領域を配線が通過することができないという問題の発生を十分に抑制できるとともに、配線領域の必要量の予測を容易にすることでフロアプランの検討も容易に行うことを可能とするハードマクロ、これを備える半導体集積回路を提供する。

**【解決手段】** 半導体チップ5上に配されて半導体集積回路3の一部を構成するハードマクロ（例えば、RAM1、PLL回路2）1, 2には、該ハードマクロ1, 2の内部を通過する通過配線11a～11f、21a～21fが、該ハードマクロ1, 2の半導体チップ5上への配置前に予め施されている。通過配線11a～11f（21a～21f）は、平面視において、ハードマクロ1（2）の外形を構成する一辺12（22）からこの一辺12（22）に交差する他辺13、14（23、24）に至る経路に設定されている。

**【選択図】** 図4

特願 2 0 0 4 - 0 6 2 2 1 3

出 願 人 履 歴 情 報

識別番号 [ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日	2 0 0 2 年 1 1 月 1 日
[変更理由]	新規登録
住 所	神奈川県川崎市中原区下沼部 1 7 5 3 番地
氏 名	N E C エレクトロニクス株式会社